

Patent

Customer No. 31561
Application No.: 10/711,281
Docket No. 12234-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chang
Application No. : 10/711,281
Filed : Sep 07, 2004
For : CIRCUIT LAYOUT STRUCTURE
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92133284,
filed on: 2003/11/27.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

February 18, 2005

By:

Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

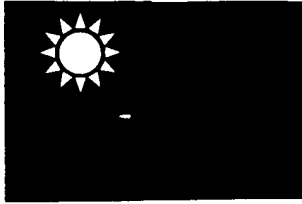
Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

RECEIVED
MAR - 9 2005
OIPE/JCWS



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請 日：西元 2003 年 11 月 27 日
Application Date

申請 案 號：092133284
Application No.

申請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

CERTIFIED COPY OF
PRIORITY DOCUMENT

蔡 練 生

發文日期：西元 2004 年 9 月 日
Issue Date

發文字號：09320864790
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	導線佈局結構
	英文	CIRCUIT LAYOUT STRUCTURE
二、 發明人 (共1人)	姓名 (中文)	1. 張棋
	姓名 (英文)	1. CHANG, CHI
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. c/o 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1. VIA Technologies, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. WANG, HSIUEH HONG



四、中文發明摘要 (發明名稱：導線佈局結構)

一種導線佈局結構，適於作為一晶片之導線佈局結構，其中晶片具有一接合墊區與相鄰之一元件區，且晶片更包括一基板。此導線佈局結構主要係由多個導線層、多個介電層以及多個插塞所構成。這些導線層係依序重疊於基板之上。這些介電層係分別配置於二相鄰之導線層之間。這些插塞係分別貫穿介電層，而電性連接這些導線層。並且，這些導線層之最遠離基板者係形成多個接合墊於接合墊區，而靠近元件區的這些接合墊會在元件區經由最遠離基板之導線層，來跨越至少一非訊號控制之導線層，再以上述插塞電性連接至較靠近基板之導線層。此導線佈局結構可避免電源/接地導線與訊號導線相互交錯。

伍、(一)、本案代表圖為：第____5____圖

(二)、本案代表圖之元件代表符號簡單說明：

70：晶片

六、英文發明摘要 (發明名稱：CIRCUIT LAYOUT STRUCTURE)

A circuit layout structure is suited for a chip. The chip has a bonding pad area and a device area nearby the bonding pad area. The chip further comprises a substrate. The circuit layout structure essentially comprises a plurality of circuit layers, a plurality of dielectric layers and a plurality of plugs. The circuit layers stack above the substrate in turn. The dielectric



四、中文發明摘要 (發明名稱：導線佈局結構)

80 : 基板
200 : 導線佈局結構
210 : 介電層
220 : 插塞
231、233 : 接合墊
240 : 電源環
250 : 接地環
B1 : 接合墊區
B2 : 元件區
M1 : 第一導線層
M2 : 第二導線層
M3 : 第三導線層
M4 : 第四導線層
M5 : 第五導線層
M6 : 第六導線層

六、英文發明摘要 (發明名稱：CIRCUIT LAYOUT STRUCTURE)

layers are disposed between any two adjacent circuit layers, respectively. The plugs pass through the dielectric layers respectively and electrically connect the circuit layers. The farthest circuit layers away the substrate forms a plurality of bonding pads in the bonding pad area. The bonding pads near the device area overstrides at least one non-signal circuit layer by the



四、中文發明摘要 (發明名稱：導線佈局結構)

L6 : 訊 號 導 線

L7 : 接 地 導 線

S3 : 區 域

六、英文發明摘要 (發明名稱：CIRCUIT LAYOUT STRUCTURE)

farthest circuit layer away from the substrate, and electrically connect to the circuit layers near the substrate with the plugs. The circuit layout structure can avoid the conflict between the power/ground circuits and the signal circuits.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種導線佈局結構(Circuit layout structure)，且特別是有關於一種可提供足夠之電源導線(Power circuit)與接地導線(Ground circuit)的線寬，以保持訊號於傳輸時之完整性(Integrity)的導線佈局結構。

先前技術

近年來，隨著電子產業的蓬勃發展，使得積體電路晶片(Integral Circuit chips, IC chips)受到廣泛運用，也因此，為因應電子產業日新月異的需求，許多關於半導體(Semiconductor)的製程技術亦隨之迅速發展。同時，在高積集度的趨勢下，單一晶片所需使用之訊號輸入輸出端(Input/Output, IO)的密度亦不斷提高。就習知之打線接合(wire bonding)型態的晶片而言，其改變方式例如係在相同數量的訊號輸入輸出端為前提來縮小晶片的尺寸，或是在相同尺寸的晶片為前提來增加訊號輸入輸出端的數量。其增加密度的表現方式例如在晶片上之多個接合墊以三排(Tri-tier)甚至四排(Quad-tier)等多排的方式，配置於晶片之主動表面(active surface)的周圍。

第1圖繪示為習知一種應用於晶片之導線佈局結構的局部俯視示意圖，而第2圖繪示為第1圖沿I-I'線的剖面示意圖。請共同參照第1圖與第2圖，晶片50具有一接合墊區A1與相鄰之一元件區A2。晶片50包括一基板60與一導線佈局結構100。導線佈局結構100大致係由圖案化之多個導線

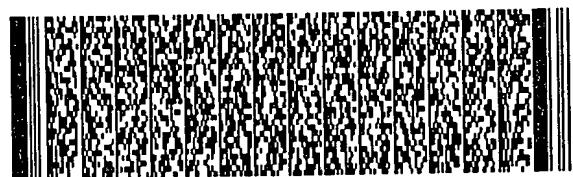


五、發明說明 (2)

層(M1, M2, ..., M6)、多個介電層110及多個插塞120所構成，其中導線層M1, M2, ..., M6係依序重疊於基板60之上，而介電層110係分別配置於二相鄰之導線層M1, M2, ..., M6之間，且插塞120係分別貫穿介電層110而電性連接導線層(M1, M2, ..., M6)。

最頂層(或最遠離基板60)之第六導線層M6係形成多個接合墊130~133於接合墊區A1，而這些接合墊130~133更排列成多個接合墊排，例如第一接合墊排R1、第二接合墊排R2、第三接合墊排R3以及第四接合墊排R4。就習知之導線佈局結構100而言，第一接合墊排R1與第二接合墊排R2之接合墊130、131係為訊號接合墊(Signal bonding pad)，而第三接合墊排R3之接合墊132係為電源接合墊(Power bonding pad)，且第四接合墊排R4之接合墊133係接地接合墊(Ground bonding pad)。此外，第一接合墊排R1與第二接合墊排R2之接合墊130、131係分別藉由這些插塞120而電性連接至第二、三導線層M2, M3，且第三接合墊排R3與第四接合墊排R4之接合墊132、133係分別藉由這些插塞120而電性連接至第四、五導線層M4, M5。因此，連接第三接合墊排R3之接合墊132的電源導線L1與連接第四接合墊排R4之接合墊133的接地導線L2，兩者會在區域S1與連接第一接合墊排R1之接合墊130的訊號導線L3相互交錯，並在區域S2與連接第二接合墊排R2之接合墊131的訊號導線L4相互交錯。

第3圖繪示為第2圖沿II-II'線的剖面示意圖。請參照



五、發明說明 (3)

第2、3圖，由於電源導線L1及接地導線L2分別與訊號導線L4相互交錯於左側的區域S2，而電源導線L1及接地導線L2亦分別與另一訊號導線L3相互交錯於右側的區域S1，所以電源導線L1、接地導線L2與訊號導線L3、L4之線寬將會受到限制，進而造成電源導線L1與接地導線L2之佈線設計變得較為複雜。

承上所述，更由於電源導線與接地導線分別與訊號導線相互交錯，所以電源導線及接地導線必須提供局部面積讓訊號導線穿過。然而，電路設計上，電源導線與接地導線必須具有足夠的截面積來讓電流通過，在不增加晶片之面積的情況下，當習知之導線佈局結構存在導線互相交錯的缺點時，可能會造成電源導線與接地導線之總截面積不足，如此將會破壞訊號於傳輸的完整性。

發明內容

因此，本發明的目的就是在提供一種導線佈局結構，可避免電源導線與接地導線在晶片之接合墊區與訊號導線相互交錯，用以降低導線佈局結構之設計複雜度，並且改善導線佈局結構對於晶片之電性效能。

基於上述目的，本發明提出一種導線佈局結構，其適於作為一晶片之導線佈局結構，其中晶片具有一接合墊區與相鄰之一元件區，且晶片更包括一基板。

本發明之較佳實施例的導線佈局結構主要係由多個導線層、多個介電層及多個插塞所構成，其中這些導線層係依序重疊於基板之上，而這些介電層係分別配置於二相鄰



五、發明說明 (4)

之導線層之間，且這些插塞係分別貫穿這些介電層而電性連接這些導線層。並且，這些導線層之最遠離基板者更形成多個接合墊於接合墊區，其中靠近元件區的這些接合墊會在元件區經由最遠離基板之導線層，來跨越至少一非訊號控制之導線層，再以上述插塞電性連接至較靠近基板之導線層。

綜上所述，在本發明之導線佈局結構中，由於越靠近元件區的接合墊經上面導線層而跨越非訊號之導線層後，再電性連接至越靠近基板之導線層，所以不會發生電源/接地導線與訊號導線在接合墊區發生相互交錯的現象，故相較於習知之導線佈局結構，本發明可在相同的佈線空間之內有效地增加電源導線與接地導線之線寬，因而提供足夠的電流之總面積，進而保持訊號於傳輸的完整性。同時，由於電源導線與接地導線具有足夠之線寬，所以可減少電源接合墊及接地接合墊的數量，進而縮小晶片尺寸。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

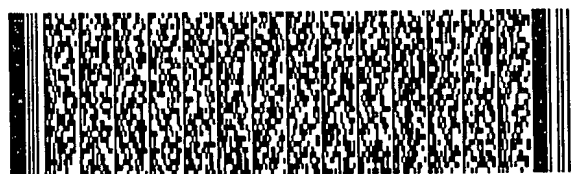
第4圖繪示為本發明較佳實施例之一種導線佈局結構應用於晶片的局部俯視示意圖，第5圖繪示為第4圖沿 III-III' 線的剖面示意圖，而第6圖繪示為第4圖沿 IV-IV' 線的剖面示意圖。請共同參照第4圖、第5圖及第6圖，導線佈局結構200係適於作為一晶片70之導線佈局結構，其中晶



五、發明說明 (5)

片70具有位於中央之一接合墊區B1與位於周圍且相鄰之一元件區B2。晶片70包括一基板80與導線佈局結構200。導線佈局結構200主要係由多個導線層(M1, M2, ..., M6)、多個介電層210及多個插塞220所構成,其中這些導線層M1, M2, ..., M6係依序重疊於基板80之上。舉例而言,這些導線層包括一第一導線層M1、一第二導線層M2、一第三導線層M3、一第四導線層M4、一第五導線層M5及一第六導線層M6,其中第一導線層M1最靠近基板80,而這些介電層210係分別配置於二相鄰之這些導線層M1, M2, ..., M6之間,且這些插塞220係分別貫穿介電層210而電性連接各導線層M1, M2, ..., M6。

導線層之最遠離基板80者(即第六導線層M6)係形成多個接合墊230~233於接合墊區B1。值得注意的是,越接近元件區B2的這些接合墊(例如第5圖之接合墊231)係經第五導線層M5轉第六導線層M6,再電性連接至較靠近基板80之導線層(例如第二導線層M2)。相同的,第6圖之接合墊230係直接由第六導線層M6,再電性連接至較靠近基板80之導線層(例如第三導線層M3)。此外,這些接合墊230~233可分別配置為第一接合墊排R1、第二接合墊排R2、第三接合墊排R3及第四接合墊排R4,其中靠近元件區B2的第一接合墊排R1與第二接合墊排R2之接合墊230、231可為訊號接合墊,而遠離元件區B2的第三接合墊排R3與第四接合墊排R4之接合墊232、233可為非訊號接合墊,例如電源接合墊或接地接合墊。舉例而言,最遠離元件區B2的第四接合墊排



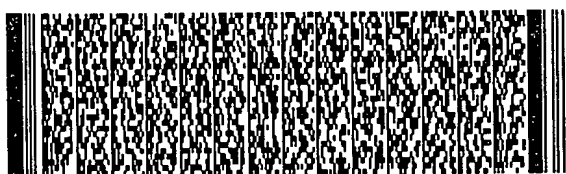
五、發明說明 (6)

R4之接合墊233可為接地接合墊，而次遠離元件區B2的第三接合墊排R3之接合墊232可為電源接合墊。

請繼續參照第4圖、第5圖及第6圖，導線佈局結構200例如更包括一電源環240與一接地環250(均繪示兩者之局部)，其中電源環240可由元件區B2之第五導線層M5所構成，而接地環250可由元件區B2之第四導線層M4所構成。

因此如第5圖中III-III'線所切過的第二、四接合墊排R2、R4中，我們可以觀察到其對應使用的第二、四導線層M2、M4之佈線方式。其中，連接第二接合墊排R2之接合墊231的電源導線L6在進入元件區B2時，會走最上層之導線層(例如第六導線層M6)，以跨過由第四、五導線層M4、M5所分別形成之電源環240與接地環250，之後再經由插塞220電性連接至第二導線層M2，以避免習知訊號導線與電源導線或接地導線交錯的情形，而連接第四接合墊排R4之接合墊233的接地導線L7則直接利用第四導線層M4電性連接至接地環250。

相同的，如第6圖中IV-IV'線所切過的第一、三接合墊排R1、R3中，我們可以觀察到其對應使用的第一、三導線層M1、M3之佈線方式。其中，連接第一接合墊排R1之接合墊230的訊號導線L5，係直接利用最上層之導線層(例如第六導線層M6)，而跨過由第四、五導線層M4、M5所分別形成之電源環240與接地環250，之後再經由插塞220電性連接至第三導線層M3，以避免習知訊號導線與電源導線或接地導線交錯的情形，而連接第三接合墊排R3之接合墊



五、發明說明 (7)

232 的電源導線L8則直接利用第五導線層M5電性連接至電源環240。

再者，本發明較佳實施例之導線佈局結構200更可提供電源導線L8與接地導線L7下方之區域S3來作為電源導線L8與接地導線L7之靜電釋放裝置(Electro-Static Discharge device, ESD device)的配置地點。

綜上所述，本發明之導線佈局結構具有下列優點：

(1)由於靠近元件區的接合墊會在元件區經由最遠離基板之導線層，來跨越至少一非訊號控制之導線層，再以插塞電性連接至較靠近基板之導線層，所以電源導線與接地導線不會在晶片之接合墊區與訊號導線相互交錯。

(2)由於電源導線與接地導線不會與訊號導線相互交錯，所以電源導線以及接地導線具有足夠之線寬，用以保持訊號於傳輸時之完整性。

(3)由於電源導線及接地導線具有足夠之線寬，不需增加電源接合墊及接地接合墊的數量，所以晶片之尺寸可以進一步地縮小。

(4)由於電源導線與接地導線不會與訊號導線相互交錯，使得這些導線之佈線設計可以大幅地簡化，故可提供接合墊下方之空間，用以作為靜電釋放裝置的配置地點。

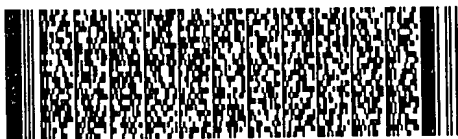
(5)由於電源導線與接地導線不會與訊號導線相互交錯，使得這些導線之佈線設計可以大幅地簡化，故可節省晶片之導線佈局結構的設計時間及成本。

雖然本發明已以較佳實施例揭露如上，然其並非用以



五、發明說明 (8)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示為習知一種應用於晶片之導線佈局結構的局部俯視示意圖。

第2圖繪示為第1圖沿I-I'線的剖面示意圖。

第3圖繪示為第2圖沿II-II'線的剖面示意圖。

第4圖繪示為本發明較佳實施例之一種導線佈局結構應用於晶片的局部俯視示意圖。

第5圖繪示為第4圖沿III-III'線的剖面示意圖。

第6圖繪示為第4圖沿IV-IV'線的剖面示意圖。

【圖式標示說明】

50、70：晶片

60、80：基板

100、200：導線佈局結構

110、210：介電層

120、220：插塞

130~133、230~233：接合墊

A1、B1：接合墊區

A2、B2：元件區

R1：第一接合墊排

R2：第二接合墊排

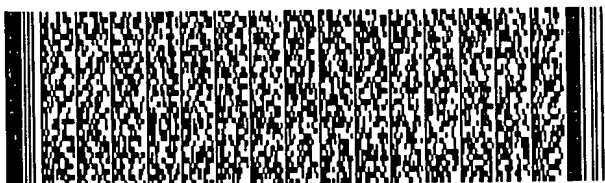
R3：第三接合墊排

R4：第四接合墊排

L1、L8：電源導線

L2、L7：接地導線

L3、L4、L5、L6：訊號導線



圖式簡單說明

S1、S2、S3：區域

M1：第一導線層

M2：第二導線層

M3：第三導線層

M4：第四導線層

M5：第五導線層

M6：第六導線層



六、申請專利範圍

1. 一種導線佈局結構，適於作為一晶片之導線佈局結構，其中該晶片具有一接合墊區與相鄰之一元件區，且該晶片更包括一基板，該導線佈局結構至少包括：

多數個導線層，依序重疊於該基板之上；

多數個介電層，分別配置於二相鄰之該些導線層之間；以及

多數個插塞，分別貫穿該些介電層而電性連接該些導線層，

其中該些導線層之最遠離該基板者於該接合墊區係形成多數個接合墊，且靠近該元件區的該些接合墊會在該元件區經由最遠離該基板之導線層來跨越至少一非訊號控制之導線層，再以該些插塞電性連接至較靠近該基板之該些導線層。

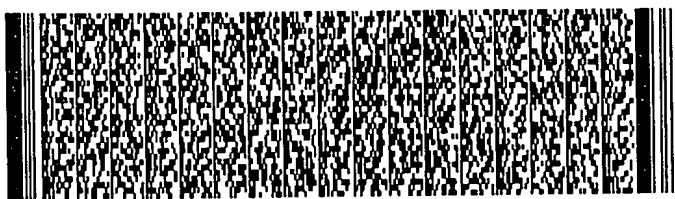
2. 如申請專利範圍第1項所述之導線佈局結構，其中靠近該元件區的該些接合墊包括多數個訊號接合墊。

3. 如申請專利範圍第1項所述之導線佈局結構，其中遠離該元件區的該些接合墊包括多數個非訊號接合墊。

4. 如申請專利範圍第3項所述之導線佈局結構，其中最遠離該元件區的接合墊包括一接地接合墊。

5. 如申請專利範圍第3項所述之導線佈局結構，其中次遠離該元件區的接合墊包括一電源接合墊。

6. 如申請專利範圍第1項所述之導線佈局結構，其中該些導線層包括一第一導線層、...、一第N-1導線層以及一第N導線層，N係大於2的自然數，而該第一導線層係配



六、申請專利範圍

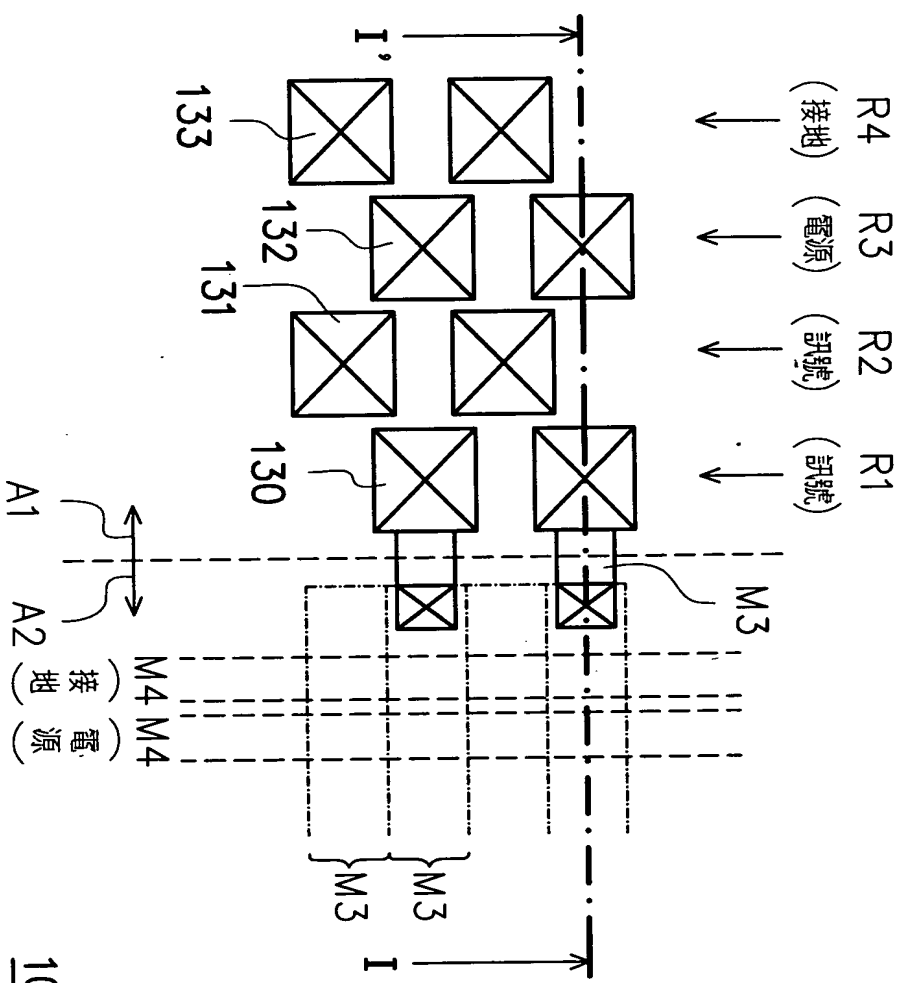
置於該基板之上，...，該第N-1導線層係配置於該第N-2導線層之上，該第N導線層係配置於該第N-1導線層之上，且該第N導線層之位於該元件區的部分係直接電性連接至最靠近該元件區的該些接合墊。

7. 如申請專利範圍第6項所述之導線佈局結構，其中最遠離該元件區的該些接合墊包括接地接合墊，並直接電性連接至該第N-2導線層。

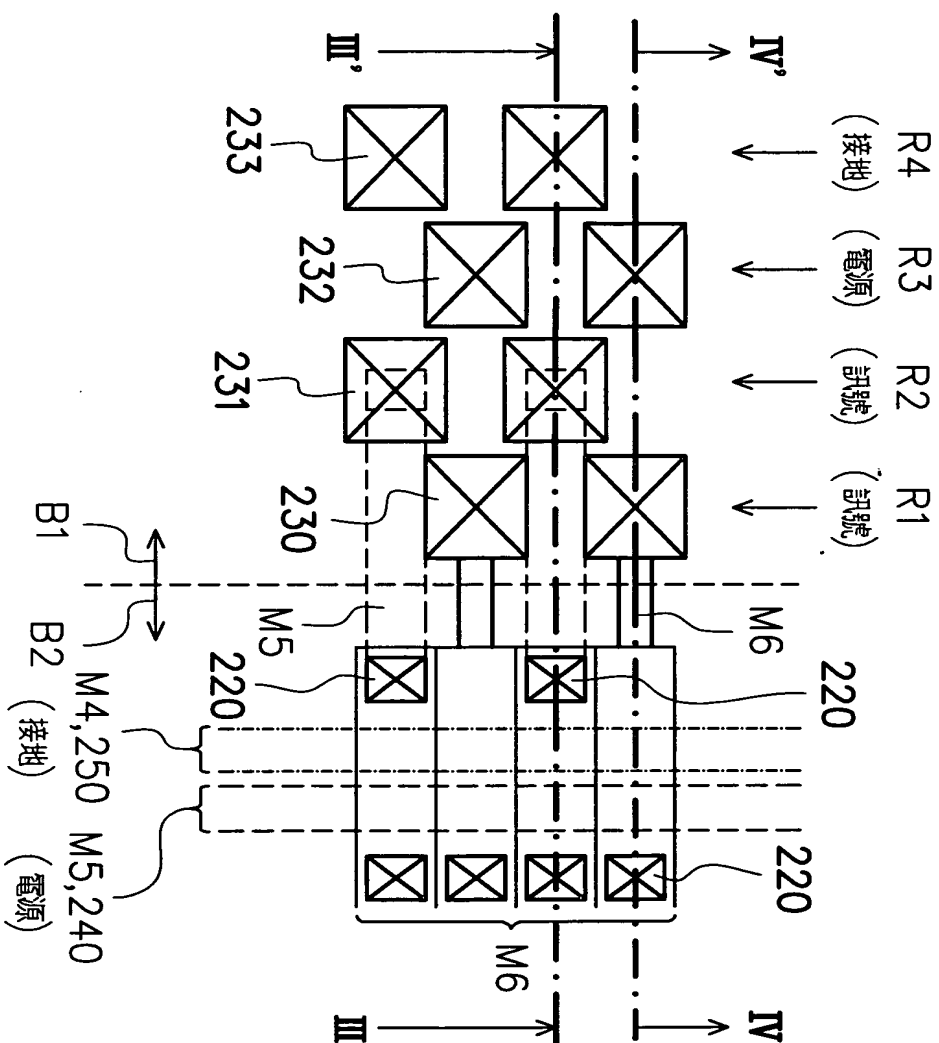
8. 如申請專利範圍第6項所述之導線佈局結構，其中次遠離該元件區的該些接合墊包括電源接合墊，並直接電性連接至該第N-1導線層。

9. 如申請專利範圍第6項所述之導線佈局結構，其中次靠近該元件區的該些接合墊係藉由該第N-1導線層而電性連接至該第N導線層之位於該元件區的部分。



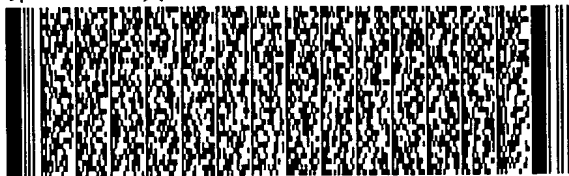


第 1 圖



第 4 圖

第 1/17 頁



第 2/17 頁



第 2/17 頁



第 3/17 頁



第 4/17 頁



第 5/17 頁



第 6/17 頁



第 6/17 頁



第 7/17 頁



第 7/17 頁



第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁



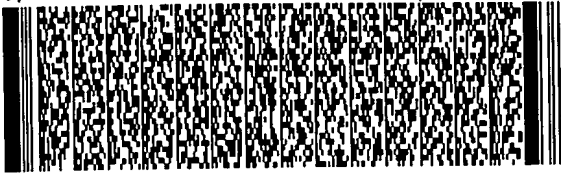
第 10/17 頁



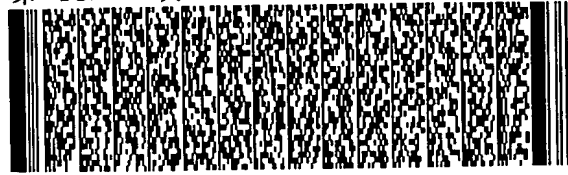
第 10/17 頁



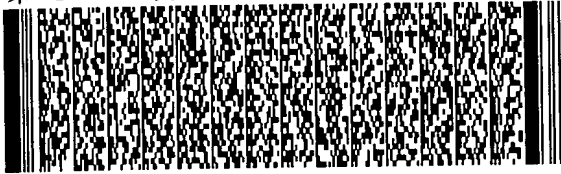
第 11/17 頁



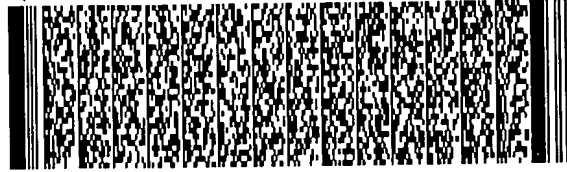
第 11/17 頁



第 12/17 頁



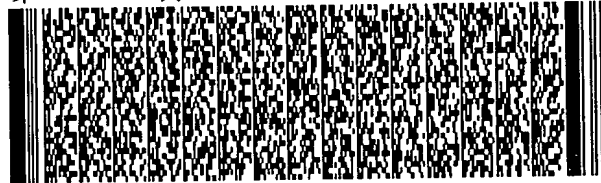
第 12/17 頁



第 13/17 頁



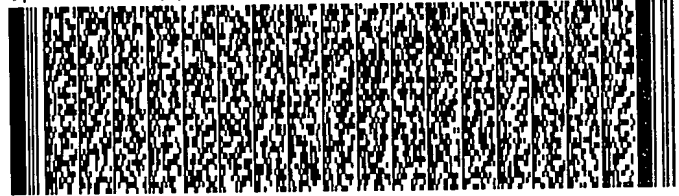
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

